

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-065628

(43)Date of publication of application : 10.03.1989

(51)Int.Cl.

G06F 7/02
G06F 7/28

(21)Application number : 62-223347

(71)Applicant : TOSHIBA CORP
TOSHIBA AUDIO VIDEO ENG CORP

(22)Date of filing : 07.09.1987

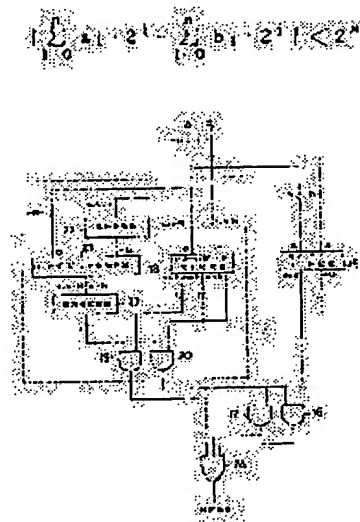
(72)Inventor : KANESHIGE TOSHIHIKO

(54) DIGITAL OPERATION DECIDING CIRCUIT

(57)Abstract:

PURPOSE: To allow a small sized circuit to execute excellent decision even when there are many bits in the data by providing the titled circuit with the 1st and 2nd deciding means and an arithmetic means for calculating an absolute value to decide a prescribed condition and to execute required decision.

CONSTITUTION: A digital operation formula is substituted for $|A - B| < 2^N$. Data α , β of respective lower N bits in the data A, B are compared at their size by a size comparator 15. On the other hand, data (a), (b) of upper bits excluding the lower N bits in the data A, B are compared at their size by a size comparator 18. The data (b) are converted into a negative value, $a - b$ is calculated by a full adder 21, and when the absolute value is '1', outputs an 'H' level signal. In the other case, an 'L' level signal is outputted. The level outputs of each decision result are supplied to an OR circuit 24 through AND circuits 16, 17 and 19, 20. The outputs goes to a 'H' level, only when $a=b$, $|a-b|$, and $\alpha < \beta$, $|a-b|=1$ and $a < \alpha$, $\alpha > \beta$. Then, whether or not the formula is satisfied, is decided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-65628

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和64年(1989)3月10日

G 06 F 7/02
7/28

W-7313-5B
Q-7313-5B

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 デジタル演算判定回路

⑯ 特 願 昭62-223347

⑰ 出 願 昭62(1987)9月7日

⑱ 発 明 者 兼 重 敏 彦 神奈川県横浜市磯子区新杉田町8番地 東芝オーディオ・

ビデオエンジニアリング株式会社開発事業所内

⑲ 出 願 人 株 式 会 社 東 芝

神奈川県川崎市幸区堀川町72番地

⑲ 出 願 人 東芝オーディオ・ビデ
オエンジニアリング株
式会社

東京都港区新橋3丁目3番9号

⑳ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

デジタル演算判定回路

2. 特許請求の範囲

$|\sum_{i=0}^n a_i \cdot 2^i - \sum_{i=0}^N b_i \cdot 2^i| < 2^N$ (ただし、 a_i, b_i はそれぞれ0または1の値をとり、 n, N はそれぞれ整数で $n > N \geq 0$ なる関係を有する) なるデジタル演算式が満たされていることを判定するデジタル演算判定回路において、

前記 $\sum_{i=0}^n a_i \cdot 2^i$ 及び $\sum_{i=0}^N b_i \cdot 2^i$ のそれぞれの下位 N ビットのデータ (a) 及び (b) の大小を判別する第1の判別手段と、

前記 $\sum_{i=0}^n a_i \cdot 2^i$ 及び $\sum_{i=0}^N b_i \cdot 2^i$ のそれぞれの下位 N ビットを除く上位ビットのデータ (a), (b) の差の絶対値を算出する演算手段と、

前記データ (a), (b) の大小を判別する第2の判別手段とを具備し、

(1) $a = b$

(2) $|a - b| = 1$ で $a > b$ かつ $a < b$

(3) $|a - b| = 1$ で $a < b$ かつ $a > b$

のいずれかの条件が満たされたとき、前記デジタル演算式が満たされていると判定するように構成してなることを特徴とするデジタル演算判定回路。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明は、 $|\sum_{i=0}^n a_i \cdot 2^i - \sum_{i=0}^N b_i \cdot 2^i| < 2^N$ (ただし、 a_i, b_i はそれぞれ0または1の値をとり、 n, N はそれぞれ整数で $n > N \geq 0$ なる関係を有する) なるデジタル演算式が満たされているか否かを判定するデジタル演算判定回路に関する。

(従来の技術)

周知のように、前記の如きデジタル演算式が満たされているか否かを判定するためには、従来より、式の右辺と左辺とをそれぞれ演算し、両演算結果の大小を判別して行なうようにしている。

第4図は、このような従来のデジタル演算判定回路を示すものである。すなわち、 $\sum_{i=0}^n a_i \cdot 2^i = A$ 、 $\sum_{i=0}^N b_i \cdot 2^i = B$ とおくと、データ B を負数変換器11により負数 $-B$ に変換し、全加算器12によ

ってデータAと加算して $A-B$ を得、このデータ $A-B$ を絶対値変換器13に通して $|A-B|$ を生成し、大小比較器14で 2^N と大小比較することにより、判定結果を得るようにしている。

しかしながら、上記のような従来のデジタル演算判定回路では、演算処理が複雑で回路構成が大形化するという問題が生じ、特にこの問題はビット数が多くなる程深刻なものとなっている。

(発明が解決しようとする問題点)

以上のように、従来のデジタル演算判定回路では、回路構成が大形化し、ビット数の多いデータの取り扱いに不向きであるという問題を有している。

そこで、この発明は上記事情を考慮してなされたもので、演算処理が簡易で回路構成の小形化を図ることができるとともに、データのビット数が多くなっても何ら問題なく判定動作を行ない得る極めて良好なデジタル演算判定回路を提供することを目的とする。

- 3 -

とに分け、それぞれの大小判別を行なうとともに、データ a, b の差の絶対値を算出するようにしたので、演算処理が簡易で回路構成の小形化を図ることができるとともに、データのビット数が多くなっても何ら問題なく判定動作を行なうことができるものである。

(実施例)

以下、この発明の一実施例を説明するに先立ち、この発明の原理について説明しておくことにする。すなわち、

$$\left| \sum_{i=0}^N a_i \cdot 2^i - \sum_{i=0}^N b_i \cdot 2^i \right| < 2^N \quad \dots (1)$$

(ただし、 a_i, b_i はそれぞれ0または1の値を取り、 n, N はそれぞれ整数で $n > N \geq 0$ なる関係を有する)

なるデジタル演算式は、

$$\left| \frac{\sum_{i=0}^N a_i \cdot 2^i}{2^N} - \frac{\sum_{i=0}^N b_i \cdot 2^i}{2^N} \right| < 1$$

$$\left| \left(\sum_{i=0}^{N-1} a_i \cdot 2^{i-N} + \sum_{i=0}^{N-1} a_i \cdot 2^{i-N} \right) - \left(\sum_{i=0}^{N-1} b_i \cdot 2^{i-N} + \sum_{i=0}^{N-1} b_i \cdot 2^{i-N} \right) \right| < 1$$

$$\left| \left(\sum_{i=0}^{N-1} a_i \cdot 2^{i-N} - \sum_{i=0}^{N-1} b_i \cdot 2^{i-N} \right) + \left(\sum_{i=0}^{N-1} a_i \cdot 2^{i-N} - \sum_{i=0}^{N-1} b_i \cdot 2^{i-N} \right) \right| < 1 \quad \dots (2)$$

- 5 -

[発明の構成]

(問題点を解決するための手段)

すなわち、この発明に係るデジタル演算判定回路は、 $\sum_{i=0}^N a_i \cdot 2^i$ 及び $\sum_{i=0}^N b_i \cdot 2^i$ のそれぞれ下位 N ビットのデータ α, β の大小を判別し、 $\sum_{i=0}^N a_i \cdot 2^i$ 及び $\sum_{i=0}^N b_i \cdot 2^i$ のそれぞれの下位 N ビットを除く上位ビットのデータ a, b の差の絶対値を算出するとともに、該データ a, b の大小を判別する。そして、

$$(1) \quad a = b$$

$$(2) \quad |a - b| = 1 \text{ で } a > b \text{ かつ } \alpha < \beta$$

$$(3) \quad |a - b| = 1 \text{ で } a < b \text{ かつ } \alpha > \beta$$

のいずれかの条件が満足されたとき、

$$\left| \sum_{i=0}^N a_i \cdot 2^i - \sum_{i=0}^N b_i \cdot 2^i \right| < 2^N$$

なるデジタル演算式が満たされていると判定するようにしたものである。

(作用)

上記のような構成によれば、 $\sum_{i=0}^N a_i \cdot 2^i$ 及び $\sum_{i=0}^N b_i \cdot 2^i$ をそれぞれ下位 N ビットのデータ α, β と、下位 N ビットを除く上位ビットのデータ a, b

- 4 -

と変換することができる。ここで、

$$\sum_{i=0}^{N-1} a_i \cdot 2^{i-N} = a$$

$$\sum_{i=0}^{N-1} b_i \cdot 2^{i-N} = b$$

$$\sum_{i=0}^{N-1} a_i \cdot 2^{i-N} = \alpha$$

$$\sum_{i=0}^{N-1} b_i \cdot 2^{i-N} = \beta$$

とおくと、上記(2)式は、

$$|(a - b) + (\alpha - \beta)| < 1$$

となる。ところで、

$$0 \leq \lim_{N \rightarrow \infty} \sum_{i=0}^{N-1} a_i \cdot 2^{i-N} < 1,$$

$$0 \leq \lim_{N \rightarrow \infty} \sum_{i=0}^{N-1} b_i \cdot 2^{i-N} < 1$$

であるため、

$$|a - b| < 1$$

は常に成り立つことになる。このため、上記(2)式を満たす条件は、

$$(1) \quad a = b$$

$$(2) \quad |a - b| = 1 \text{ で } a > b \text{ かつ } \alpha < \beta$$

$$(3) \quad |a - b| = 1 \text{ で } a < b \text{ かつ } \alpha > \beta$$

- 6 -

の3つがある。すなわち、上記(1)~(3)の条件のうちいずれかが満たされれば、上記(1)式が満たされると判定することができるものである。

そこで、上記のような原理に基づき、この発明の一実施例について図面を参照して詳細に説明する。第1図において、データA, Bのうちの、下位Nビットのデータ α , β は、それぞれ大小比較器15に供給されて、大小判別される。この大小比較器15は、 $\alpha > \beta$ 及び $\alpha < \beta$ の場合に応じて対応する出力端からH(ハイ)レベルの信号を発生し、対応しない出力端からL(ロー)レベルの信号を発生するものである。また、上記大小比較器15は、 $\alpha = \beta$ の場合、両出力端からLレベルの信号を発生する。そして、上記大小比較器15の $\alpha > \beta$ 及び $\alpha < \beta$ に対応する各出力は、アンド回路16, 17の各一方の入力端にそれぞれ供給されている。

一方、上記データA, Bのうちの、下位Nビットを除く上位ビットのデータ a , b は、それぞれ大小比較器18に供給されて、大小判別される。

-7-

路20の出力は、 $|a-b|=1$ かつ $a < b$ のときのみHレベルとなる。そして、上記アンド回路19, 20の出力は、上記アンド回路17, 16の各他方の入力端にそれぞれ供給されている。したがって、アンド回路17の出力は、 $|a-b|=1$ で $a > b$ かつ $\alpha < \beta$ のときのみHレベルとなり、アンド回路16の出力は、 $|a-b|=1$ で $a < b$ かつ $\alpha > \beta$ のときのみHレベルとなる。

ここで、上記大小比較器18の $a = b$ に対応する出力及びアンド回路16, 17の各出力は、オア回路24に供給されている。このため、オア回路24の出力は、

- (1) $a = b$
- (2) $|a-b|=1$ で $a > b$ かつ $\alpha < \beta$
- (3) $|a-b|=1$ で $a < b$ かつ $\alpha > \beta$

のときのみHレベルとなり、ここに前記(1)式を満たしているか否かの判定を行なうことができるものである。

したがって、上記実施例のような構成によれば、全加算器21、負数変換器22及び絶対値変換器

-9-

この大小比較器18は、 $a > b$, $a = b$ 及び $a < b$ の場合に応じて対応する出力端からHレベルの信号を発生し、対応しない出力端からLレベルの信号を発生するものである。そして、上記大小比較器18の $a > b$ 及び $a < b$ に対応する各出力は、アンド回路19, 20の各一方の入力端にそれぞれ供給されている。

また、上位ビットのデータ a は、全加算器21の一方の入力端に供給され、データ b は負数変換器22により負数 $-b$ に変換されて全加算器21の他方の入力端に供給されることにより、 $a-b$ なる演算が行なわれて、絶対値変換器23に供給される。この絶対値変換器23は、 $a-b$ なる演算結果の絶対値をとり、その結果が「1」である場合Hレベルの信号を発生し、「1」でない場合Lレベルの信号を発生する。そして、上記絶対値変換器23の出力は、上記アンド回路19, 20の各他方の入力端に供給されている。

このため、アンド回路19の出力は、 $|a-b|=1$ かつ $a > b$ のときのみHレベルとなり、アンド回

-8-

路20は、Nビット分回路規模を縮小することができるのと同時に、大小比較器15, 18は、略同様の回路規模のものを使用することができるので、全体として回路構成の小形化を図ることができるものである。また、この効果は、ビット数 n が N に比して大きくなるにつれて、より促進されるようになる。

ここで、第1図中点線で囲んだ部分の構成は、以下に述べる手段を用いることにより、さらに簡易化される。すなわち、 $n=7$, $N=4$ とすると、データ a , b が $|a-b|=1$ で $a > b$ または $a < b$ となるパターンは、次表のようになる。

-10-

パターン		a				
		7	6	5	4	
1	a	漸次減1				$a > b$
	b	漸次減0				
2	a	漸次減0				$a < b$
	b	漸次減1				
3	a	漸次10				$a > b$
	b	漸次01				
4	a	漸次01				$a < b$
	b	漸次10				
5	a	漸次100				$a > b$
	b	漸次011				
6	a	漸次011				$a < b$
	b	漸次100				
7	a	1000				$a > b$
	b	0111				
8	a	0111				$a < b$
	b	1000				

漸: $a_i = b_i$

-11-

Hレベルとなる。

また、データ a_i とデータ b_i をノット回路40で反転したデータとをアンド回路41に供給することにより、アンド回路41の出力は、 $a_i = 1$ かつ $b_i = 0$ のときのみHレベルとなる。さらに、データ a_i をノット回路42で反転したデータとデータ b_i とをアンド回路43に供給することにより、アンド回路43の出力は、 $a_i = 0$ かつ $b_i = 1$ のときのみHレベルとなる。

なお、この発明は上記実施例に限定されるものではなく、この外その他の変形を逸脱しない範囲で種々変形して実施することができる。

[発明の効果]

以上詳述したようにこの発明によれば、演算処理が簡易で回路構成の小形化を図ることができるとともに、データのビット数が多くなっても何ら問題なく判定動作を行ない得る極めて良好なデジタル演算判定回路を提供することができる。

4. 図面の簡単な説明

第1図はこの発明に係るデジタル演算判定回

-13-

つまり、上表の8つのパターンを検出すれば、第1図中点線で囲んだ部分の機能を果たすことができる。第2図は、上表の8つのパターンを検出するための回路構成を示している。すなわち、検出回路25~28は、それぞれ $a = b$ 、 $a = 1$ かつ $b = 0$ 、 $a = 0$ かつ $b = 1$ の3種類の状態を検出し、対応する出力端A、B、CからHレベルの信号を発生するものである。このため、アンド回路29~36の出力が、上記のパターン1~8にそれぞれ対応している。そして、オア回路37の出力が、 $|a - b| = 1$ で $a > b$ の検出結果に相当し、オア回路38の出力が、 $|a - b| = 1$ で $a < b$ の検出結果に相当するものである。

また、第3図は、上記検出回路25の詳細な構成を示すものである。なお、他の検出回路26~28は第3図と同様な構成であるため、その説明を省略する。すなわち、データ a_i 、 b_i の最上位ビットのデータ a_7 、 b_7 を排他的論理和回路（以下EX-オア回路という）39に供給することにより、EX-オア回路39の出力は、 $a_7 = b_7$ のときのみ

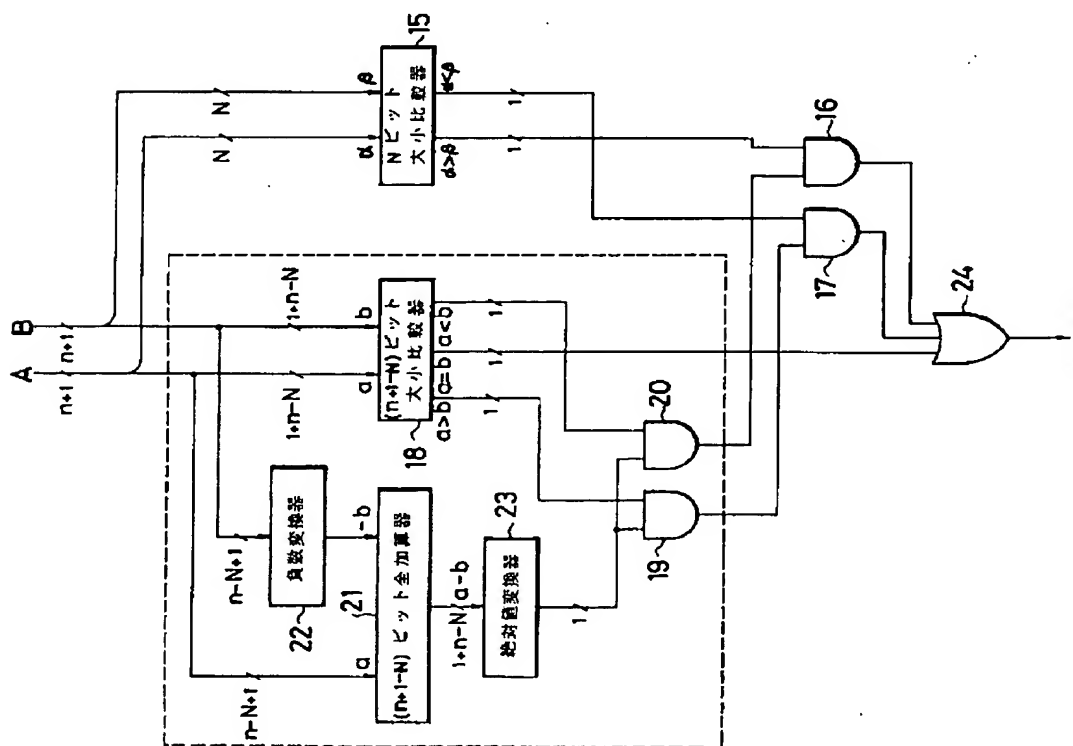
-12-

路の一実施例を示すブロック構成図、第2図は同実施例の点線で囲んだ部分の変形例を示すブロック構成図、第3図は同変形例の検出回路の詳細を示す回路構成図、第4図は従来のデジタル演算判定回路を示すブロック構成図である。

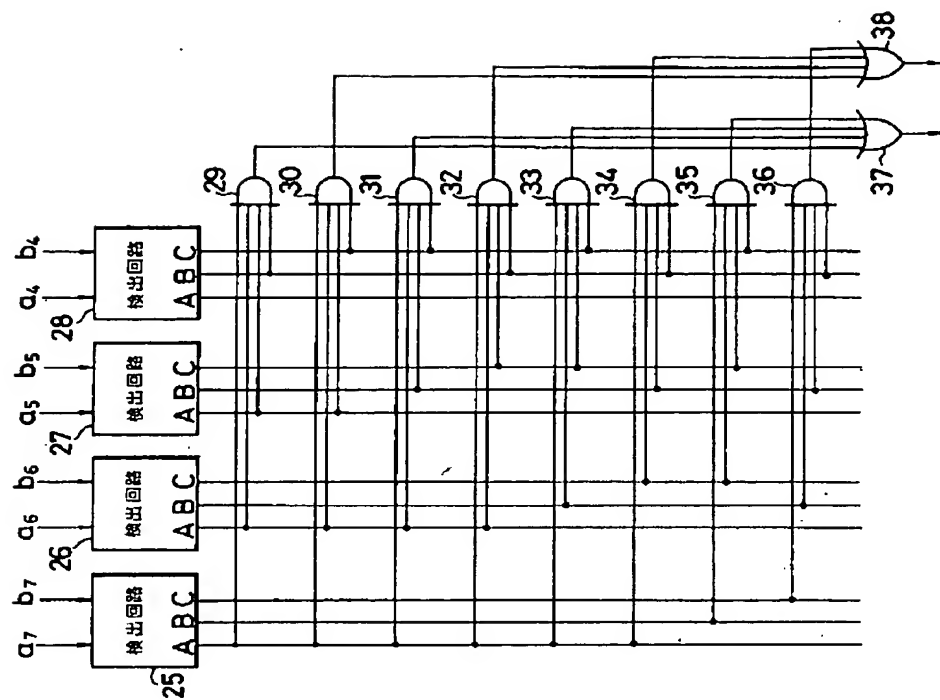
11…負数変換器、12…全加算器、13…絶対値変換器、14、15…大小比較器、16、17…アンド回路、18…大小比較器、19、20…アンド回路、21…全加算器、22…負数変換器、23…絶対値変換器、24…オア回路、25~28…検出回路、29~36…アンド回路、37、38…オア回路、39…EX-オア回路、40…ノット回路、41…アンド回路、42…ノット回路、43…アンド回路。

出願人代理人 井堀士 鈴江 武彦

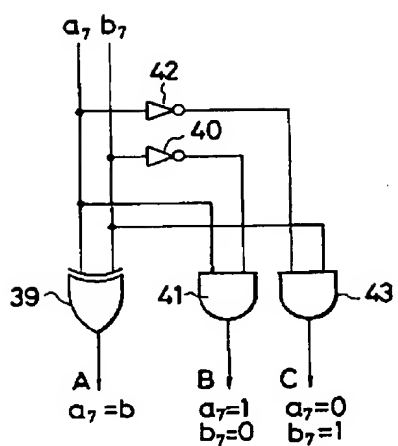
-14-



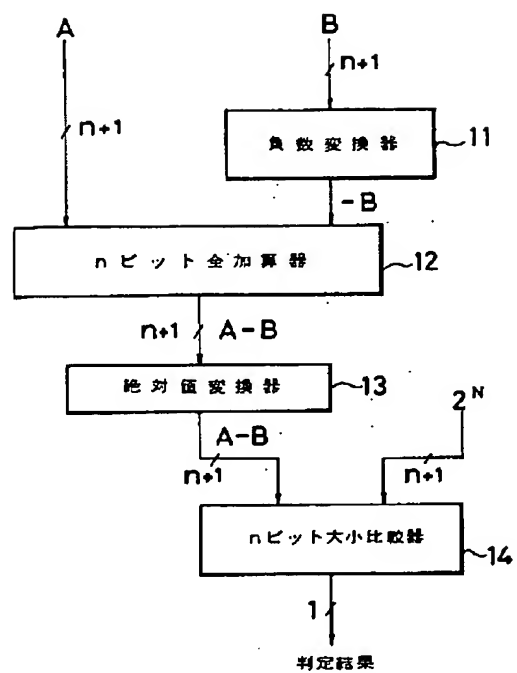
第 1 図



第 2 図



第 3 図



第 4 図